

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204740

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/82

(21)Application number : 10-015056

(71)Applicant : ROHM CO LTD

(22)Date of filing : 10.01.1998

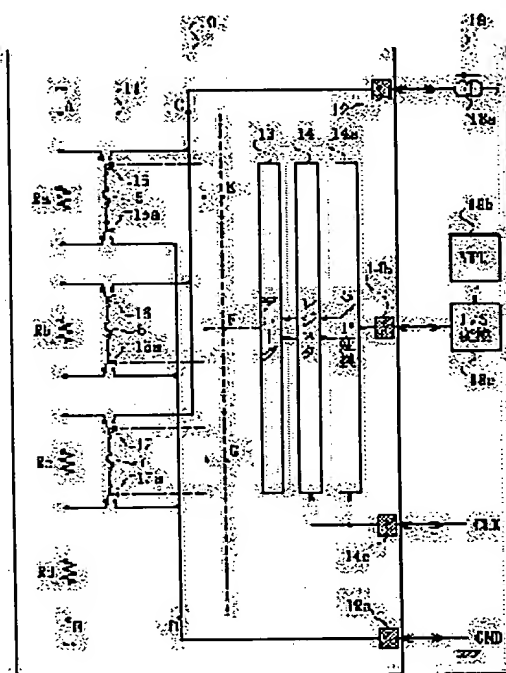
(72)Inventor : YAMAMOTO ISAO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid damaging a fuse and lessen additional pads.

SOLUTION: In a semiconductor device 10 having a trimming means added to resistance nets Ra-Rd, the trimming means comprises fuses 5, 6, 7, and switching means 15, 16, 17 for switching connecting ends of the fuses 5, 6, 7 to the resistance nets Ra to Rd or fuse blow current feed lines C. A plurality of sets of fuses and switching means are provided and a decoder 13 for selecting any of them and switching to the fuse blow current feed lines C is added. Except when trimming, connection to externals is cut to lessen the chance of the fuse damage. Since designation of trimming objects is encoded and done, pads 12, 14b therefor may be lessened.



LEGAL STATUS

[Date of request for examination] 21.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

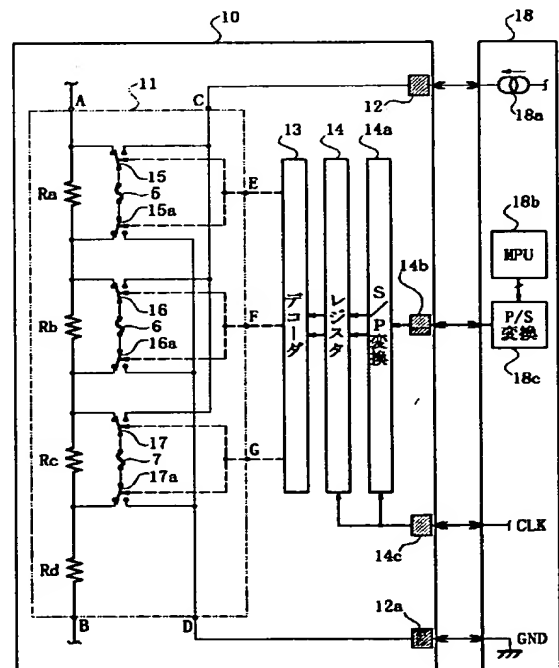
[Patent number] 2871661

[Date of registration] 08.01.1999

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号



【特許請求の範囲】

【請求項 1】抵抗網にトリミング手段の付加された半導体装置において、前記トリミング手段は、フューズと、このフューズの接続先を前記抵抗網およびフューズ溶断電流供給ラインの何れかに切り換える切換手段とを備えたものであることを特徴とする半導体装置。

【請求項 2】前記フューズおよび前記切換手段の組が複数設けられるとともに、それらの組のうち何れかを選択して前記フューズ溶断電流供給ライン側への切換を行わせるデコードが付加されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記フューズ溶断電流供給ラインへの電流源が内蔵されていることを特徴とする請求項 1 又は請求項 2 に記載された半導体装置。

【請求項 4】前記電流源の作動を限定する手段が設けられていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】前記抵抗網が複数直列接続された抵抗分圧回路を備えたことを特徴とする請求項 1 乃至請求項 4 の何れかに記載された半導体装置。

【請求項 6】前記抵抗分圧回路にて検出した電圧および共通の基準電圧に基づいた演算を行う電圧検出回路が複数設けられていることを特徴とする請求項 5 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、抵抗網を内蔵していて而もその抵抗値をトリミング（微調整）しうる半導体装置に関し、詳しくは、特定のトリミング手段を備えた半導体装置に関する。

【0002】

【従来の技術】従来、集積回路すなわち IC（半導体装置）に内蔵された抵抗についてその抵抗値を微調整して正確な値に合わせ込もうとする場合、その抵抗を複数の抵抗素子からなる抵抗網で実現し、その抵抗網と共に内蔵されるトリミング手段も付加しておき、後に抵抗値の測定およびその測定結果に基づくトリミング作業が行われる（特開平 5 - 2 3 5 2 8 2 号公報など参照）。

【0003】図 8 にその具体例として示した IC 1 は、4 個の抵抗素子 R a, R b, R c, R d を直列に接続して抵抗網 R a ~ R d を形成するとともに、抵抗素子 R a に対してトリミング素子 2 を並列に接続させ、抵抗素子 R b に対してトリミング素子 3 を並列に接続させ、抵抗素子 R c に対してトリミング素子 4 を並列に接続させたものである。この場合、抵抗素子 R d は目標値に近い抵抗値になるよう設計されており、抵抗素子 R a, R b, R c は何れも目標値からのばらつきに対応した小さな抵抗値になるよう設計されている。また、トリミング素子 2, 3, 4 は、何れも、短絡状態か解放状態かを選択的に採りうるものであって、少なくとも一回はその状態を変更しうるようになっている。

【0004】そして、抵抗網 R a ~ R d の実際の抵抗値を求めて、一般にはウエハプロセス後のプローブテスト時に網端部配線 A, B 間の抵抗値測定が行われる。この測定値が許容範囲に入っていればそのウエハやベアチップはそのまま後工程に回されるが、許容範囲から外れているときにはその程度に応じてトリミング素子 2, 3, 4 の何れか又は総てを選択してその状態を変更させる。こうして、抵抗素子 R d の抵抗値から、抵抗素子 R d に抵抗素子 R a, R b, R c を適宜加えた抵抗値までの範囲内で、トリミングが行われる。

【0005】トリミングやその他のテスト等の済んだウエハやベアチップは、後工程に回され、ワイヤボンディングやパッケージング等の処理が施されて、IC が組み立てられる。こうして IC が完成すると、トリミング素子 2, 3, 4 は、IC 内に隠されて、外部から遮断された状態となる。

【0006】

【発明が解決しようとする課題】ところで、抵抗値を測定する際におけるプローブピンとパッドとの間には接触抵抗が存在する。そして、その接触抵抗は、表面に酸化膜のできやすいタングステン等のプローブピン及びアルミニウム等のパッドそれぞれの接触面における酸化状態や、パッド面がプローブピン先端によって引っ掻かれたときの状態などによって $1\Omega \sim 10\Omega$ 程度と大きく変動する不安定なものである。このため、プローブテストに基づくトリミングだけでは抵抗値調整を果たしきれないので、IC 完成後の最終検査で、不良品はあるい落とされる。

【0007】これに対し、電子部品等に対する高精度化の要求は高まっており、これに伴って、IC に内蔵された抵抗についても正確にトリミングしなければならない状況が増えてきている。しかも、IC の集積度向上等による多ピン化に伴って、プローブカードの多ピン化やプローブピンの細線化が進むほど、接触抵抗の安定化は望めない。そして、これらは何れも歩留まりの低下を招く要因となるので、このままでは、厳しい精度の要求に応えるのが困難な状況になってきている。

【0008】そこで、IC 組立後でも抵抗値のトリミングを可能とするため、図 9 に示した IC 1 a のように、トリミング素子 2, 3, 4 のそれぞれにフューズ 5, 6, 7 を採用するとともに、それぞれの両端に配線接続されたパッド 5 a, 5 b, 6 a, 6 b, 7 a, 7 b を付加しておくことが考えられる。そして、それぞれのパッドの接続された図示しない IC ピンを介して外部からフューズ溶断電流を供給して適宜のフューズを溶断させることで、トリミングを行うのである。

【0009】しかしながら、このような直截的な構成の半導体装置では、トリミング用のフューズが IC 完成後も IC ピンに接続されたままとなっているので、IC ピンに対する外部からの影響が直ちにフューズにも及んで

3

しまう。このため、静電気等の外来サージ電流に起因するフューズの損傷によって予期しないところで抵抗値が変化してしまいかねないという不都合がある。

【0010】また、フューズごとに2個または1個のパッドやICピンが付加されるので、パッド数やICのピン数が必然的に増加するが、これらのパッドやICピンは抵抗値調整時以外には使われない。このため、その増加は好ましく無い。特に、トリミング対象の抵抗が多いとパッド等の増加数も多いので、集積度の高い半導体装置ほど、その適用は不都合となる。

【0011】そこで、半導体装置の完成後でも抵抗値のトリミングを可能とするためにフューズへの接続ラインをパッドやICピンへ引き出すに際し、上述の不都合を防止・軽減することが課題となる。この発明は、このような課題を解決するためになされたものであり、抵抗値トリミング用フューズが損傷し難い半導体装置を実現することを目的とする。また、本発明は、抵抗値トリミング用のパッドが少なく済む半導体装置を実現することも目的とする。

【0012】

【課題を解決するための手段】このような課題を解決するために発明された第1乃至第6の解決手段について、その構成および作用効果を以下に説明する。

【0013】〔第1の解決手段〕第1の解決手段の半導体装置は、(出願当初の請求項1に記載の如く)、抵抗網にトリミング手段の付加された半導体装置において、前記トリミング手段は、フューズと、このフューズの接続先を前記抵抗網およびフューズ溶断電流供給ラインの何れかに切り換える切換手段とを備えたものである。

(すなわち、複数の抵抗素子が直列に若しくは並列に又はその組合せ状態に接続された抵抗網と、この抵抗網に付加されたトリミング手段とが内蔵されている半導体装置において、前記トリミング手段は、1個又は2個以上のフューズと、各フューズに付設された切換手段とを備えたものであり、前記切換手段は、該当フューズの接続先を前記抵抗網およびフューズ溶断電流供給ラインの何れかに切り換えるものである。)

【0014】このような第1の解決手段の半導体装置にあつては、抵抗網の抵抗値をトリミングする際には、切換手段によってフューズの接続先を抵抗網からフューズ溶断電流供給ラインに切り換えておき、そこにフューズ溶断電流を流すことで、トリミングが行われる。そして、フューズへの接続ラインをパッドまで引き出してフューズ溶断電流を外部から直接供給したりその供給状態を外部から間接的に制御したりすることにより、半導体装置の組立前に限らずその後も抵抗値のトリミングが可能となる。また、トリミング以外の時には、切換手段によってフューズの接続先が抵抗網に切り換えられた状態となる。この状態では、フューズ溶断電流供給ラインにサージ電流が流れ込んでも、フューズに届くことは無

4

いので、フューズは安全である。

【0015】これにより、フューズへの接続ラインをパッドまで引き出しても、その接続がトリミング時以外は切換手段によって断たれているので、フューズが静電破壊等の損傷を被る機会が減少する。したがって、この発明によれば、組立後のトリミングが可能であつて而も抵抗値トリミング用フューズの損傷が発生し難い半導体装置を実現することができる。

10 【0016】〔第2の解決手段〕第2の解決手段の半導体装置は、(出願当初の請求項2に記載の如く)、上記の第1の解決手段の半導体装置であつて、前記フューズおよび前記切換手段の組が複数設けられるとともに、それらの組のうち何れかを選択して前記フューズ溶断電流供給ライン側への切換を行わせるデコーダが付加されていることを特徴とする。

20 【0017】このような第2の解決手段の半導体装置にあつては、抵抗網の抵抗値をトリミングするときにトリミング対象のフューズを外部から指定して行うが、その際、外部からのアクセスはエンコードした信号でデコーダを介して行う。そうすると、デコーダによって複数の切換手段の何れかが選択され、それに対応したフューズにフューズ溶断電流供給ラインを介してフューズ溶断電流が供給される。

30 【0018】これにより、外部からフューズ等へのアクセスのためにパッドを付加する際に、デコーダに指定情報を与えるのに必要な数のパッドを追加すればよいので、それぞれのフューズ及び切換手段ごとにパッドを追加する必要がなくなり、その分だけパッド数の増加を抑制することができる。各パッドにICピンが接続される場合には、ICピン数の増加も抑制される。したがって、この発明によれば、組立後のトリミングを可能にしても抵抗値トリミング用フューズの損傷が発生し難いことに加えて抵抗値トリミング用のパッドが少なく済む半導体装置を実現することができる。

40 【0019】〔第3の解決手段〕第3の解決手段の半導体装置は、(出願当初の請求項3に記載の如く)、上記の第1、第2の解決手段の半導体装置であつて、前記フューズ溶断電流供給ラインへの電流源が内蔵されているものである。(すなわち、電流源が内蔵されており、しかも、その電流源の電流出力端に前記フューズ溶断電流供給ラインが接続されていることを特徴とする。)

50 【0020】このような第3の解決手段の半導体装置にあつては、フューズの接続先がフューズ溶断電流供給ラインに切り換えられているときにそのフューズ溶断電流供給ラインに外部からサージ電流が入ってきたとしても、そのサージ電流はフューズに到達する前に電流源のところで或るていど抑制される。これにより、例えばサージ電流がフューズにまで到来したときでも、それによる損傷は緩和されるので、フューズの安全性が高まることとなる。したがって、この発明によれば、抵抗値トリミ

5

ング用フューズの損傷が一層発生し難い半導体装置を実現することができる。

【0021】[第4の解決手段] 第4の解決手段の半導体装置は、(出願当初の請求項4に記載の如く)、上記の第3の解決手段の半導体装置であって、前記電流源の作動を限定する手段が設けられていることを特徴とする。

【0022】このような第4の解決手段の半導体装置にあつては、電流源の作動に対する限定が解除されているときだけ、電流源を介してフューズへ電流が流される。それ以外のときにフューズ溶断電流供給ラインに外部から入ってきたサージ電流は電流源のところで阻止される。これにより、電流源による抑制が強化されて、フューズが外来のサージ電流によって損傷を被る機会が一段と少なくなる。したがって、この発明によれば、抵抗値トリミング用フューズの損傷がより一層発生し難い半導体装置を実現することができる。

【0023】[第5の解決手段] 第5の解決手段の半導体装置は、(出願当初の請求項5に記載の如く)、上記の第1～第4の解決手段の半導体装置であって、前記抵抗網が複数直列接続された抵抗分圧回路を備えたものである。(すなわち、複数の抵抗部が直列接続されてなる抵抗分圧回路が内蔵されており、しかも、それぞれの抵抗部が前記抵抗網からなるものである。)

【0024】このような第5の解決手段の半導体装置にあつては、フューズを溶断させることで抵抗網の抵抗値を単調に増加させたとしても、抵抗分圧によって得られる電圧は、双方の抵抗網の値の比に基づいて増減するので、一方の抵抗網の抵抗値を増加させることで増加するときには他方の抵抗値を増加させることで減少する。また、フューズを溶断させることで抵抗網の抵抗値を単調に減少させる場合も、抵抗分圧によって得られる電圧は、一方の抵抗網の抵抗値を減少させることで減少するときには他方の抵抗値を減少させることで増加する。

【0025】これにより、フューズを溶断させることで抵抗網の抵抗値を単調に増加または減少させるものを用いても、抵抗分圧の値は増減いずれにも調整することができる。したがって、この発明によれば、再接続の難しいフューズを用いたトリミング手段を単純な構造で具現化しても、トリミングが容易となる。

【0026】[第6の解決手段] 第6の解決手段の半導体装置は、(出願当初の請求項6に記載の如く)、上記の第5の解決手段の半導体装置であって、前記抵抗分圧回路にて検出した電圧および共通の基準電圧に基づいた演算を行う電圧検出回路が複数設けられていることを特徴とする。(すなわち、前記抵抗分圧回路を利用して電圧を検出する電圧検出回路が複数設けられており、それぞれの電圧検出回路が該当抵抗分圧回路にて検出した電圧と基準電圧発生回路等から受けた共通の基準電圧との両電圧に基づきその差算出や比較判定等の演算を行って

6

検出電圧に応じた応用処理を担うものである。)

【0027】このような第6の解決手段の半導体装置にあつては、基準電圧発生回路等の部分が各電圧検出回路に対して共通化される。そして、各電圧検出回路についての調整に際しては、基準電圧を調整するので無く、それぞれ該当する抵抗分圧回路を個別にトリミングする。その際、各々のトリミングは同時に行う必要が無いので、デコードも一つ又は少数にまとめておくことが可能である。このようにデコードをまとめることにより、抵抗値トリミング用のパッド数の増加が大幅に抑制される。また、各電圧検出回路の個別調整という機能を損なうことなく基準電圧発生回路を共通化することにより、回路規模が削減されて小形化も達成されることとなる。

【0028】

【発明の実施の形態】このような解決手段で達成された本発明の半導体装置について、これを実施するための形態を以下の第1実施例～第7実施例により具体的に説明する。なお、第1実施例は上記の第1、第2解決手段を具現化したものであり、第2実施例は上記の第3解決手段を具現化したものであり、第3実施例は上記の第4解決手段を具現化したものであり、第4実施例、第5実施例、及び第6実施例は上記の第5解決手段を具現化したものであり、第7実施例は上記の第6解決手段を具現化したものである。

【0029】

【第1実施例】図1にブロック図を示した本発明の半導体装置の第1実施例について、その具体的な構成を説明する。なお、図1においてデコードラインは実線ではなく長破線にて図示されている。

【0030】このIC10(半導体装置)が図9のIC1aと相違するのは、抵抗網Ra～Rdにフューズ5、6、7の付加された抵抗網部11に関してフューズ5、6、7の両端のところにスイッチ回路15、16、17(切換手段)及びスイッチ回路15a、16a、17aが介挿されている点と、デコード13及びそれに付随する回路14、14aが追加されている点である。

【0031】抵抗網部11は、数kΩ～数MΩ程度の抵抗素子Ra、Rb、Rc、Rdの直列接続された抵抗網Ra～Rdが網端部配線A、B間に形成されており、網端部配線A、B間で一の抵抗値を示すものである。そして、抵抗素子Raに付加して設けられたフューズ5、抵抗素子Rbに付加して設けられたフューズ6、抵抗素子Rcに付加して設けられたフューズ7は、それぞれ短絡状態での抵抗値が20Ω程度と小さくて無視でき、15～20mA程度の電流を流すと溶断するものである。

【0032】スイッチ回路15は、共に内蔵される他の回路に適した半導体製造プロセスに適合するよう適宜のアナログスイッチやバイポーラトランジスタで構成され、三端子を有し、制御信号に応じて第1端子および第2端子の導通状態と第1端子および第3端子の導通状態

7

とを択一的に切り換えるものである。そして、抵抗網部11への導入に際して、第1端子がフューズ5の一端に接続され、第2端子が抵抗素子Raの一端に接続され、第3端子がフューズ溶断電流供給ラインCに接続される。また、スイッチ回路15と対をなすスイッチ回路15aも同じ構造のものであり、これは、抵抗網部11への導入に際して、第1端子がフューズ5の他端に接続され、第2端子が抵抗素子Raの他端に接続され、第3端子がフューズ溶断電流供給ラインCと対をなすフューズ溶断電流還流ラインDに接続される。これにより、この

スイッチ回路15はスイッチ回路15aと共にフューズ5の接続先を抵抗素子Ra~Rdのうちの抵抗素子Raおよびフューズ溶断電流供給ラインCの何れかに切り換える切換手段となっている。

【0033】同様に、スイッチ回路16がスイッチ回路16aと共に抵抗素子Rb及びフューズ6に対して介装され、スイッチ回路17がスイッチ回路17aと共に抵抗素子Rc及びフューズ7に対して介装される。これにより、抵抗網部11は、抵抗値トリミング用のフューズおよび切換手段の組が複数5+15, 6+16, 7+17設けられたものとなっている。また、フューズ溶断電流供給ラインCが共通化されたことにより、フューズ溶断電流を供給するための多数のパッド5a, 6a, 7aが単一のパッド12に集約されている。さらに、フューズ溶断電流還流ラインDが共通化されたことにより、多数のパッド5b, 6b, 7bも単一のパッド12aに集約されたものとなっている。

【0034】デコーダ13は、入力が2ビットで出力が3ライン即ちデコードラインE, F, Gのものであり、レジスタ14から2ビットのデジタルデータを受けて、そのデータが値“0”のときはデコードラインE, F, Gの何れも有意とせず、そのデータが値“1”のときはデコードラインEだけを有意にし、そのデータが値

“2”のときはデコードラインFだけを有意にし、そのデータが値“3”のときはデコードラインGだけを有意にする。そのデコードラインEは上述のスイッチ回路15, 15aへの制御信号とされ、デコードラインFはスイッチ回路16, 16aへの制御信号とされ、デコードラインGはスイッチ回路17, 17aへの制御信号とされる。これにより、このデコーダ13は、抵抗値トリミング用のフューズおよび切換手段の組5+15, 6+16, 7+17のうち何れかをデコードラインE, F, Gで選択してフューズ溶断電流供給ラインC側への切換を行わせるとともに、対応するスイッチ回路15a, 16a, 17aの接続先をフューズ溶断電流還流ラインD側へ切り換えさせるものとなっている。

【0035】このデコーダ13に付随するレジスタ14は、2ビットの平行データ保持するものであるが、レジスタ14とパッド14bとの間にはS/P変換回路14aも設けられていて、パッド14bを介してト

8

リミング治具18等からシリアル転送されてきたトリミング対象の指定データをパッド14c経由で受けたクロックCLKに同期して平行変換し、これをデコーダ13に供するようになっている。

【0036】なお、トリミング治具18は、IC10とは別体のもので、多くのIC10に対するトリミングに際して共用される調整用治具である。これには、フューズ溶断電流を供給するための定電流回路18aと、トリミング対象の指定データをマイクロプロセッサ18b等から受けてS/P変換回路14aのシリアル-平行変換に対応した平行-シリアル変換を行うP/S変換回路18cと、その指定データの転送タイミングの基準となるクロックCLKを生成する手段と、フューズ溶断電流を還流させるための接地手段GNDとが設けられている。また、IC10の完成後それにアクセスする際に動的接続でも接触抵抗が安定するように、ICソケットやICクリップあるいはその他のコネクタなどの接続手段も設けられている。

【0037】この第1実施例の半導体装置について、その使用態様及び動作を説明する。

【0038】IC10の抵抗網部11に対する抵抗値トリミングは従来通りウェハ状態で行うことも可能であるが、ここではIC組立後に行う場合について述べる。先ず、網端部配線A, B間の抵抗値を測定する。この時点では抵抗素子Ra, Rb, Rcに並設されたフューズ5, 6, 7が短絡しているため、ほぼ抵抗素子Rdだけによる測定値が得られる。この抵抗値が要求仕様を満足していればそのIC10はトリミングするまでも無いが、その抵抗値が要求仕様に満たないときには、抵抗素子Ra, Rb, Rcのうち何れを加えるかを決定する。以下、抵抗素子Rbを加えれば、仕様が満足されるものとする。その場合、値“2”がトリミング対象の指定データとなる。

【0039】次に、IC10とトリミング治具18の接続手段との接続を確立する。そのときIC10をトリミング治具18に装着等する際に、作業者に帯電していた静電気がIC10に対して放たれたとすると、パッド12からフューズ溶断電流供給ラインCに至る放電は、スイッチ回路15, 16, 17のところで止まる。パッド12aからフューズ溶断電流還流ラインDに至る放電も同様である。また、パッド14b, 14cを介する放電は、レジスタ14, 14aのところで止まる。何れの場合も、放電電流がフューズ5, 6, 7まで届くことは無いので、フューズ5, 6, 7は安全である。

【0040】このIC10とトリミング治具18との接続が確立すると、定電流回路18aからパッド12を介してフューズ溶断電流供給ラインCにフューズ溶断電流を供給しうる状態となり、フューズ溶断電流還流ラインDからパッド12aを介して接地GNDへフューズ溶断電流を還流させる状態となり、レジスタ14及びS/P

9

P変換回路14aにパッド14cを介してクロックCLKが送られる。こうして、パッド14bを介してトリミング対象の指定データをシリアル転送する準備が調う。

【0041】そして、トリミング治具18を操作して値“2”をマイクロプロセッサ18bからP/S変換回路18cへ出力させると、そのシリアルデータの前後にスタートビット及びストップビットの付加された例えばビット列“1100”がP/S変換回路18cからS/P変換回路14aに転送される。また、その転送に続いて、パラレルデータに戻された値“2”即ちトリミング対象の指定データが、レジスタ14にロードされ、さらにデコーダ13へ送出される。そうすると、デコーダ13によってデコードラインFが有意にされ、これに応じてスイッチ回路16、16aが切り替わって、フューズ溶断電流供給ラインC、スイッチ回路16、フューズ6、スイッチ回路16a、及びフューズ溶断電流還流ラインDのところにフューズ溶断電流が流れる。

【0042】こうして、指定されたフューズ6が溶断して、抵抗網部11における網端部配線A、B間の抵抗値が、抵抗素子Rdだけの抵抗値から抵抗素子Rd+抵抗素子Rbの抵抗値にトリミングされる。なお、抵抗網部11の抵抗値を測定した結果に応じて必要があれば、同様にしてフューズ5やフューズ7を選択して溶断させることで、抵抗素子Raや抵抗素子Rcの抵抗値も適宜追加することができる。

【0043】以上の説明から明らかなように、このIC10にあっては、内部回路15~16、13等を付加してフューズ5~7を選択的にカットするようにしたことにより、追加のパッド12、14b、14cが少なく済むうえ、フューズ5~7が静電気の放電によって損傷を受けることもほとんど無い。

【0044】

【第2実施例】図2にブロック図を示した本発明の半導体装置の第2実施例について、その構成を説明する。このIC20が上述のIC10と相違するのは、定電流回路22が内蔵されている点と、デコーダ13に代わるデコーダ23がトリミング対象の指定データをパラレルで受けるようになっている点である。

【0045】定電流回路22は、上述の定電流回路18aと同様のものであるが、トリミング治具28ではなくIC20内に設けられ、他の内部回路にも共通の電源電圧Vccのラインとフューズ溶断電流供給ラインCとに接続されていて、フューズ溶断電流をフューズ溶断電流供給ラインCへ供給するものである。これにより、このIC20は、フューズ溶断電流供給ラインへの電流源が内蔵されたものとなっている。

【0046】デコーダ23は、概ねデコーダ13と同様のものであるが、レジスタ14やS/P変換回路14aを介さず直接に指定データをパラレルで受けるために、入力ラインがパッド23a、23bに接続されるととも

10

に、パッド23cを介してエネーブルパルスを受けている時だけデコード出力を行うようになっている。なお、これらに対応して、トリミング治具28は、トリミング対象の指定データをマイクロプロセッサ28b等から受けて保持するとともにそれをパラレルで出力するレジスタ28cを具えたものとなっている。

【0047】この場合、IC20とトリミング治具28との接続が確立した状態で、トリミング治具18を操作してトリミング対象の指定データをマイクロプロセッサ28bからレジスタ28cへ出力させると、そのデータがパッド23a、23bを介してパラレルのままでデコーダ23に送出される。また、その送出中にマイクロプロセッサ28bからエネーブルパルスも出力され、これがパッド23cを介してデコーダ23に送られると、デコーダ23によってデコードラインE、F、Gの何れかが有意にされる。そして、スイッチ回路およびフューズの組5+15~7+17のうち該当するものにフューズ溶断電流が流れる。

【0048】こうして、この場合も指定されたフューズが溶断して、抵抗網部11における網端部配線A、B間の抵抗値R1が、抵抗素子Rdだけの抵抗値から、抵抗素子Ra、Rb、Rcの抵抗値が選択的に適宜付加されたものとされる。また、この場合、IC20の電源電圧Vccのラインにサージ電流が流れたとしてもそれはフューズ溶断電流供給ラインCに至る前に定電流回路22によって弱められる。それ以外に外部からフューズ溶断電流供給ラインCへ直接達するものは無い。この点でも、フューズ5、6、7は安全である。

【0049】

【第3実施例】図3にブロック図を示した本発明の半導体装置の第3実施例について、その構成を説明する。このIC30が上述のIC20と相違するのは、定電流回路22が定電流回路32に改造されている点と、デコーダ23がデコーダ33に改造されている点とである。

【0050】具体的には、定電流回路32がエネーブルパルスを受けているときだけ電流を出力するようにされ、デコーダ33はデコードラインへの出力の安定を待って定電流回路32にエネーブルパルスを送出するように変更されている。そのエネーブルパルスのパルス幅は、フューズを溶断させるのに十分であって、なるべく短くされる。これにより、デコーダ33は、定電流回路32（電流源）の作動を最小限の時間に限定するものとなっている。

【0051】この場合、フューズ溶断電流供給ラインCにフューズ溶断電流を流すべき時以外の時には、電源電圧Vccのラインからフューズ溶断電流供給ラインCへの電流が定電流回路32によって断たれるので、例えば電源電圧Vccのラインに不所望なサージ電流が流れることが有ったとしても、それによってフューズ5、6、7が不所望に溶断することは無い。こうして、フューズ5、

6, 7は静電気の放電等に起因する損傷から確実に保護される。

【0052】

【第4実施例】図4にブロック図を示した本発明の半導体装置の第4実施例について、その構成を説明する。この定電圧レギュレータIC40が上述のIC10と相違するのは、抵抗網部11が対になって定電圧レギュレータ部49に組み込まれている点と、デコーダ等13, 14, 14aがデコーダ等43, 44, 44aに変更されている点である。

【0053】一対の抵抗網部11は、外部の負荷に電流 I_o を出力するパッド47へのラインに対して一方の抵抗網部11の網端部配線Aが接続され、この抵抗網部11の網端部配線Bに対して他方の抵抗網部11の網端部配線Aが接続され、この抵抗網部11の網端部配線Bが接地されている。そして、これは、抵抗値 R_1 の抵抗（一方の抵抗網部11）と抵抗値 R_2 の抵抗（他方の抵抗網部11）とが直列接続されたものに等価となり、その中間接続点には $V_d = (R_2 / (R_1 + R_2)) \times V_o$ の分圧が発生する。なお電圧 V_o はパッド47における電圧である。これにより、この一対の抵抗網11は、抵抗網が複数直列接続された抵抗分圧回路となっている。

【0054】また、デコーダ43は、これらの抵抗網部11の双方をカバーするために、入力3ビットで出力が6ラインのものに拡張され、レジスタ44及びS/P変換回路44aも3ビット対応のものに拡張されている。そして、パッド44bを介してトリミング対象の指定データを受けると、一対の抵抗網部11における何れか任意のフューズを選択的に溶断させることで、抵抗値 R_1 , R_2 の何れもトリミングしうるものとなっている。

【0055】さらに、定電圧レギュレータ部49は、非反転入力に基準電圧 V_{ref} を受け反転入力に分圧 V_d を受けてその差を増幅して出力するオペアンプ45と、このオペアンプ45の出力に従って電源電圧 V_{cc} のラインからパッド47へ流れる電流を制御するパワートランジスタ46も具えている。これにより、定電圧レギュレータ部49は、抵抗分圧回路にて検出した電圧 V_d と共通の基準電圧 V_{ref} とに基づいて差動増幅の演算を行う電圧検出回路となっている。なお、パワートランジスタ46は、適宜、MOSトランジスタや、PNP又はNPN形のバイポーラトランジスタなどから構成される。

【0056】この場合、負荷への出力電圧 V_o は、一定値 $(1 + R_1 / R_2) \times V_{ref}$ に保たれる。そして、その値が抵抗値 R_1 , R_2 の比で定まることから、抵抗値 R_1 , R_2 の比が要求仕様を満たすようにトリミングを行う。例えば、負荷電流 I_o が30mA~200mA程度の範囲で変動するMPU等の電源を安定化させるのに定電圧レギュレータIC40が用いられる場合、値 $(1$

$+ R_1 / R_2)$ が仕様値より小さいときには抵抗値 R_1 側の抵抗網部11に対してトリミングが行われる。こうして抵抗値 R_1 の値が大きくなり、値 $(1 + R_1 / R_2)$ も大きくなって、仕様値に近づくような微調整が施される。

【0057】これに対し、値 $(1 + R_1 / R_2)$ が仕様値より大きいときには、抵抗値 R_2 側の抵抗網部11に対してトリミングが行われて、抵抗値 R_2 の値が大きくなり、値 $(1 + R_1 / R_2)$ は小さくなって、やはり仕様値に近づくような微調整が施される。こうして、あるいは双方のトリミングが適宜行われて、抵抗値 R_1 , R_2 の比のばらつきが1.5%~2%以内に収められる。なお、ICの製造工程に起因したばらつきについては同一IC内における各抵抗値 R_1 , R_2 が共に大きくなったり共に小さくなったり揃って変動するという傾向が強いのので、この点からも抵抗値の比を調整する方が個々の抵抗値を調整するより容易と言える。

【0058】

【第5実施例】図5にブロック図を示した本発明の半導体装置の第5実施例について、その構成を説明する。この電圧検出IC50が上述の定電圧レギュレータIC40と相違するのは、定電圧レギュレータ部49に代えて定電圧検出回路部59が設けられている点である。デコーダ43やレジスタ44等は同じである。

【0059】定電圧検出回路部59は、入力電圧 V_{in} のラインと接地との間に、やはり一対の抵抗網部11が設けられていて、その中間接続点に $V_d = (R_2 / (R_1 + R_2)) \times V_{in}$ の分圧が発生する。これにより、この定電圧検出回路部59も、抵抗網が複数直列接続された抵抗分圧回路を具えたものとなっている。

【0060】さらに、定電圧検出回路部59は、一方の入力に基準電圧 V_{ref} を受け他方の入力に分圧 V_d を受けコンパレータ55と、パッド57と接地ラインとに介挿されコンパレータ55の出力に従ってオンオフするスイッチングトランジスタ56も具えている。これにより、定電圧検出回路部59は、抵抗分圧回路にて検出した電圧 V_d と共通の基準電圧 V_{ref} とに基づいて比較の演算を行う電圧検出回路となっている。

【0061】この場合も、一対の抵抗網部11に対するトリミングによって抵抗値 R_1 , R_2 の比が調整される。そして、入力電圧 V_{in} が所定値をよぎったときにパッド57を介する出力が切り替わるようになる。

【0062】

【第6実施例】図6にブロック図を示した本発明の半導体装置の第6実施例について、その構成を説明する。このDC-DCコンバータIC60が上述の定電圧レギュレータIC40と相違するのは、定電圧レギュレータ部49に代えてDC-DCコンバータ部69が設けられている点である。なお、デコーダ43やレジスタ44等は同じである。

13

【0063】DC-DCコンバータ部69は、電圧 V_o の出力端子となるパッド68bへのラインと接地との間に、やはり一対の抵抗網部11が設けられていて、その中間接続点に $V_d = (R_2 / (R_1 + R_2)) \times V_o$ の分圧が発生する。これにより、このDC-DCコンバータ部69も、抵抗網が複数直列接続された抵抗分圧回路を具えたものとなっている。

【0064】さらに、DC-DCコンバータ部69は、一方の入力に基準電圧 V_{ref} を受け他方の入力に分圧 V_d を受けるコンパレータ65と、コンパレータ65の出力に応じて断続的に発振するオシレータ66と、その発振信号を増幅してパッド67経由で外部へ出力するアンプ66aと、パッド68aにアノードが接続されパッド68bにカソードが接続されたダイオード68も具えている。これにより、DC-DCコンバータ部69も、抵抗分圧回路にて検出した電圧 V_d と共通の基準電圧 V_{ref} とに基づいて比較の演算を行う電圧検出回路となっている。

【0065】この場合、パッド68aを介してダイオード68に慣性電流を送り込む電源部およびコイルと、オシレータ66からの発振出力に従って上記慣性電流をシャントするスイッチングトランジスタと、ダイオード68によって整流されたパッド68bからの出力を平滑するコンデンサなどが外付けされる。そして、パッド68bからの出力電圧 V_o が正確に仕様を満足するように、一対の抵抗網部11に対するトリミングによって抵抗値 R_1 、 R_2 の比が調整される。

【0066】

【第7実施例】図7にブロック図を示した本発明の半導体装置の第7実施例について、その構成を説明する。このシステムIC70には、上述した定電圧レギュレータ部49が6組(Reg1~Reg6)内蔵され、1組ずつの定電圧検出回路部59及びDC-DCコンバータ部69も内蔵されている。さらに、基準電圧 V_{ref} を発生してそれらの回路49、59、69総てに送出するバンドギャップ定電圧源等の電圧発生回路71も設けられている。これにより、このシステムIC70は、抵抗分圧回路にて検出した電圧および共通の基準電圧に基づいた演算を行う電圧検出回路が複数設けられたものとなっている。

【0067】また、デコーダ73は、各回路49、59、69における抵抗網部11の対を総てカバーするために、入力が6ビットで出力が48ラインのものが設けられ、レジスタ74及びS/P変換回路74aも6ビット対応のものが設けられている。そして、パッド74bを介してトリミング対象の指定データを受けると、16個の抵抗網部11における何れか任意のフューズを選択的に溶断させることで、各回路49、59、69における抵抗分圧回路について増減いずれにもトリミングするものとなっている。

14

【0068】この場合、48個のフューズに対するトリミングを、3個のフューズに対する上述したIC10について追加された抵抗値トリミング用パッドと同じ抵抗値トリミング用パッドを追加することで、実施することができる。なお、各抵抗網ごとに3個のトリミング用フューズが付加される場合を例に説明してきたが、それぞれの抵抗網に付加するトリミング用フューズの数、仕様に基づく要求精度と製造上のばらつきとの兼ね合い等によって適宜任意に設けられる。

【0069】

【発明の効果】以上の説明から明らかなように、本発明の第1の解決手段の半導体装置にあっては、トリミング時以外は外部との接続を断つようにしたことにより、抵抗値トリミング用フューズの損傷が発生し難い半導体装置を実現することができたという有利な効果が有る。

【0070】また、本発明の第2の解決手段の半導体装置にあっては、トリミング対象の指定をエンコードして行えるようにしたことにより、上記効果に加えて抵抗値トリミング用のパッドが少なく済む半導体装置を実現することができたという有利な効果を奏する。

【0071】さらに、本発明の第3の解決手段の半導体装置にあっては、サージ電流が抵抗値トリミング用フューズに到達する前に抑制されるようにしたことにより、フューズの損傷が一層発生し難い半導体装置を実現することができたという有利な効果が有る。

【0072】また、本発明の第4の解決手段の半導体装置にあっては、外来サージ電流に対する電流源での抑制を強化するようにしたことにより、抵抗値トリミング用フューズの損傷がより一層発生し難い半導体装置を実現することができたという有利な効果を奏する。

【0073】また、本発明の第5の解決手段の半導体装置にあっては、フューズを溶断することで抵抗網の抵抗値を単調に増加または減少させる単純な構造のものをを用いても、抵抗分圧の値は増減いずれにも調整しうることにより、トリミング作業を容易なものにすることができたという有利な効果が有る。

【0074】また、本発明の第6の解決手段の半導体装置にあっては、ことにより、基準電圧発生回路を共通化するとともに各抵抗分圧回路を個別にトリミングするようにしたことにより、パッド数の増加を大幅に抑制するとともに回路規模の小形化も達成することができたという有利な効果を奏する。

【図面の簡単な説明】

【図1】 本発明の半導体装置の第1実施例についてのブロック図である。

【図2】 本発明の半導体装置の第2実施例についてのブロック図である。

【図3】 本発明の半導体装置の第3実施例についてのブロック図である。

【図4】 本発明の半導体装置の第4実施例についての

15

ブロック図である。

【図5】 本発明の半導体装置の第5実施例についてのブロック図である。

【図6】 本発明の半導体装置の第6実施例についてのブロック図である。

【図7】 本発明の半導体装置の第7実施例についてのブロック図である。

【図8】 抵抗網にトリミング手段を付加した半導体装置の従来例である。

【図9】 組立後のトリミングを可能とする直截的な構成例である。

【符号の説明】

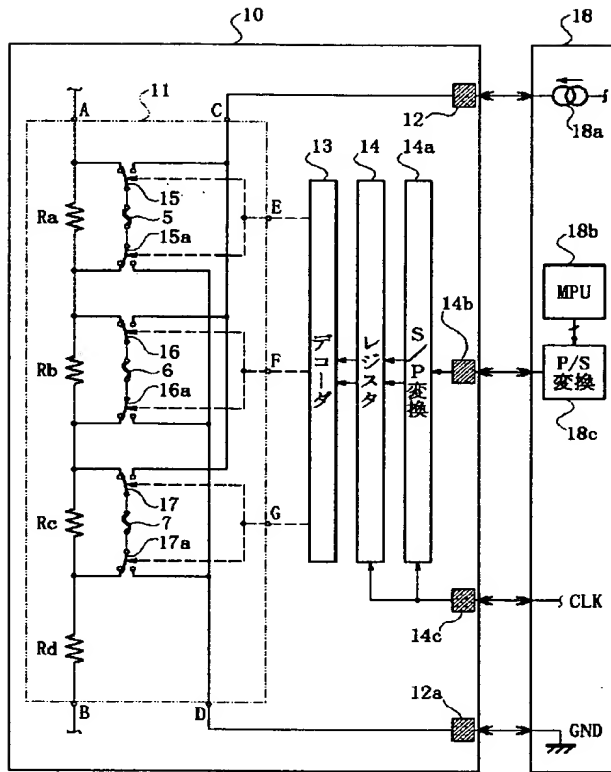
1 IC (半導体装置)
 Ra ~ Rd 直列抵抗 (抵抗網)
 Ra, Rb, Rc, Rd 抵抗素子
 A, B 網端部配線
 2, 3, 4 トリミング素子 (トリミング手段)
 1a IC (半導体装置)
 5, 6, 7 フューズ (トリミング手段)
 5a, 5b, 6a パッド (外部接続手段)
 6b, 7a, 7b パッド (外部接続手段)
 10 IC (半導体装置)
 11 抵抗網部 (トリミング手段付き抵抗網)
 C フューズ溶断電流供給ライン
 D フューズ溶断電流還流ライン
 12, 12a パッド
 13 デコーダ
 E, F, G デコードライン
 14 レジスタ
 14a S/P変換回路 (シリアル-パラレル変換回路)
 14b, 14c パッド
 15, 15a スイッチ回路 (切換手段、トリミング手段)
 16, 16a スイッチ回路 (切換手段、トリミング手段)
 17, 17a スイッチ回路 (切換手段、トリミング手段)
 18 トリミング治具 (外付け調整支援装置)
 18a 定電流回路 (電流源)
 18b マイクロプロセッサ (MPU)
 18c P/S変換回路 (パラレル-シリアル変換回路)
 20 IC (半導体装置)
 22 定電流回路 (電流源)
 23 デコーダ

16

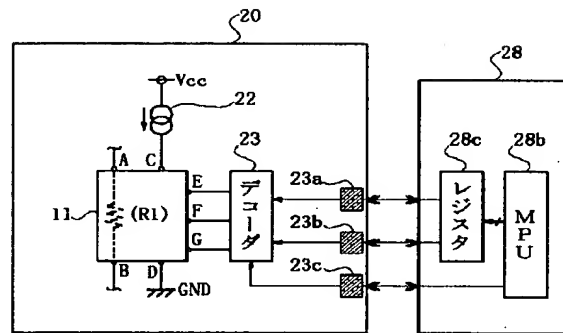
23a, 33b, 23c パッド
 28 トリミング治具 (外付け調整支援装置)
 28b マイクロプロセッサ (MPU)
 28c レジスタ (パラレル出力回路)
 30 IC (半導体装置)
 32 定電流回路 (電流源)
 33 デコーダ
 40 定電圧レギュレータ IC (半導体装置)
 43 デコーダ
 44 レジスタ
 44a S/P変換回路 (シリアル-パラレル変換回路)
 44b パッド
 45 オペアンプ (誤差増幅部、演算手段)
 46 パワートランジスタ (制御部)
 47 パッド
 49 定電圧レギュレータ部
 50 電圧検出 IC (半導体装置)
 55 コンパレータ (比較部、演算手段)
 56 スイッチングトランジスタ (駆動部)
 57 パッド
 59 定電圧検出回路部
 60 DC-DCコンバータ IC (半導体装置)
 65 コンパレータ (比較部、演算手段)
 66 オシレータ (OSC、発振回路)
 66a アンプ
 67 パッド
 68 ダイオード
 68a, 68b パッド
 69 DC-DCコンバータ部
 70 システム IC (半導体装置)
 71 電圧発生回路 (共通の基準電圧発生回路)
 73 デコーダ
 74 レジスタ
 74a S/P変換回路 (シリアル-パラレル変換回路)
 74b パッド

50

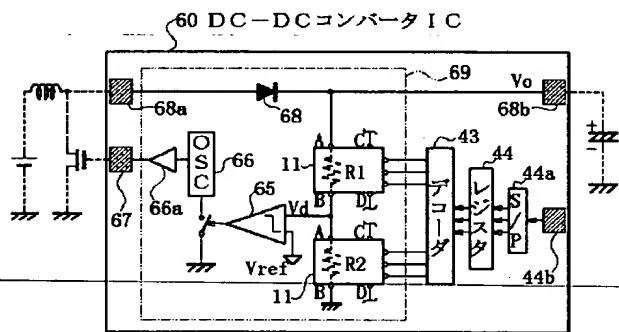
【図 1】



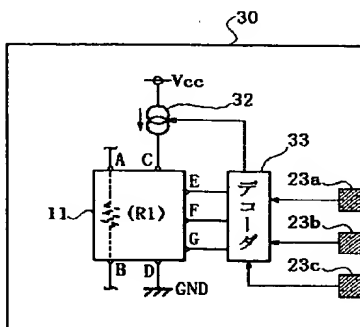
【図 2】



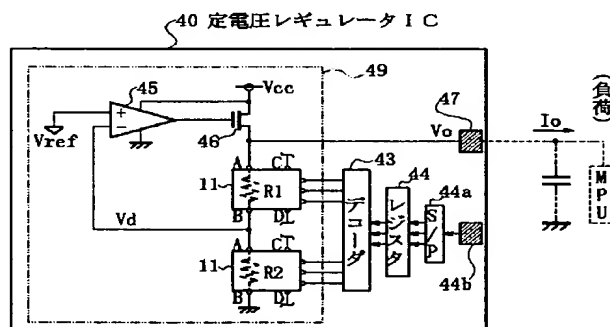
【図 6】



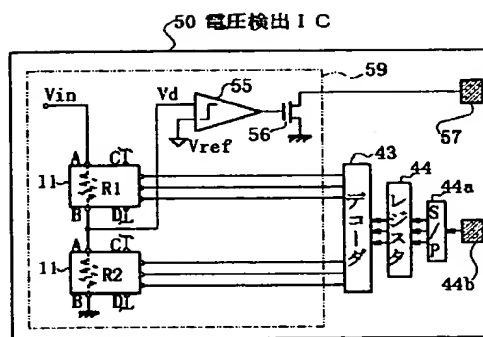
【図 3】



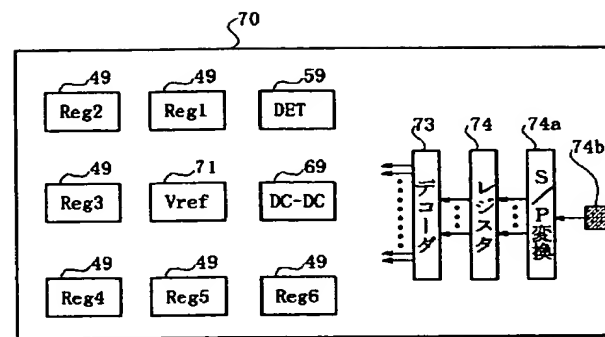
【図 4】



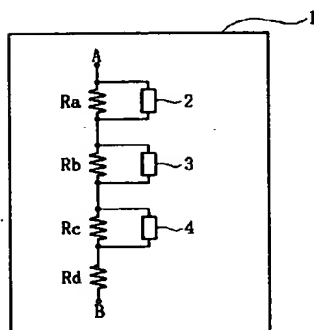
【図 5】



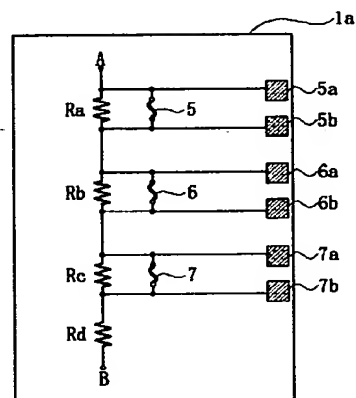
【図 7】



【図 8】



【図 9】



THIS PAGE BLANK (USPTO)
